

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02457134    \*\*Image available\*\*

ELECTROOPTICAL DEVICE

PUB. NO.:    63-074034 [JP 63074034 A]

PUBLISHED:    April 04, 1988 (19880404)

INVENTOR(s):    OTA MASAHIKO

SHINPO MASAFUMI

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:    61-220654 [JP 86220654]

FILED:    September 18, 1986 (19860918)

INTL CLASS:    [4] G02F-001/133; G09F-009/30; G09G-003/36; H01L-027/12;  
H01L-029/78

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION  
-- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL:    Section: P, Section No. 745, Vol. 12, No. 300, Pg. 161,  
August 16, 1988 (19880816)

#### ABSTRACT

PURPOSE: To effectively recover a deteriorated device at the time of non-operation, by placing a bipolar picture element selective transistor having a threshold voltage in the negative direction being high enough as an absolute value against a threshold voltage in the positive direction, at every picture element which is brought to a matrix array.

CONSTITUTION: By using a bipolar TFT 3 having a threshold voltage in the negative direction being high enough as an absolute value against a threshold voltage in the positive direction, as a picture element selective transistor, an ON-state is held even when a negative voltage is applied, and the picture element potential is fixed to the drain electrode potential. In such a way, a bias voltage for a recovery can be applied equally to a gate insulating film 10 right under a source electrode and a gate insulating film 9 right under a drain electrode, and an effective recovery action can be expected.

Best Available Copy

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007496273      \*\*Image available\*\*

WPI Acc No: 88-130206/198819

**Matrix-arrayed electro-optical device for display - has pixel selection  
circuit with bipolar thin-film transistor setting pixel to drain  
potential NoAbstract Dwg 3/4**

Patent Assignee: SEIKO DENSHI KOGYO KK (DASE )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 63074034 A	A	19880404	JP 86220654	A	19860918		198819 B

Priority Applications (No Type Date): JP 86220654 A 19860918

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 63074034 A			6			

Title Terms: MATRIX; ARRAY; ELECTRO; OPTICAL; DEVICE; DISPLAY; PIXEL;  
SELECT; CIRCUIT; BIPOLAR; THIN; FILM; TRANSISTOR; SET; PIXEL; DRAIN;  
POTENTIAL; NOABSTRACT

Derwent Class: P81; P85; U12; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;  
G09G-003/36; H01L-027/12; H01L-029/78

File Segment: EPI; EngPI

Best Available Copy

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-74034

⑫ Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	⑬ 公開 昭和63年(1988)4月4日
G 02 F 1/133	3 2 7	8205-2H	
G 09 F 9/30	3 3 8	K-6866-5C	
G 09 G 3/36		8621-5C	
H 01 L 27/12		7514-5F	
29/78	3 1 1	A-8422-5F	
		審査請求 未請求 発明の数 1 (全3頁)	

⑭ 発明の名称 電気光学的装置

⑮ 特 願 昭61-220654

⑯ 出 願 昭61(1986)9月18日

⑰ 発 明 者 太 田 昌 彦 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑱ 発 明 者 新 保 雅 文 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称

電気光学的装置

## 2. 特許請求の範囲

① マトリクス配列した各画素毎に、正方向のしきい値電圧に対し絶対値として充分大きな負方向のしきい値電圧を有する両極性の画素選択トランジスタを配したことを特徴とする電気光学的装置。

② 画素選択トランジスタは、400℃以下の低温プロセスで一層して作成されていることを特徴とする特許請求の範囲第1項記載の電気光学的装置。

③ 画素選択トランジスタのチャンネル領域は、非晶質シリコンであることを特徴とする特許請求の範囲第2項記載の電気光学的装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

薄膜トランジスタ(以下TFTと略す)を用い

た高分割型電気光学的装置において、経時変化し特性の劣化したTFTを効率的に回復させ、長期に渡って画質劣化のない電気光学的装置に関する。

(発明の概要)

この発明は、アクティブマトリクス型液晶表示装置、電気光学的シャッターなどの電気光学的装置に関し、高いアドレス信号電圧のため特性劣化を起こしてしまう薄膜トランジスタを、アンバランスなしきい値電圧を有する両極性の薄膜トランジスタを用いることにより、効率的に回復させ長期の信頼性を確保することを目的としている。

(従来の技術)

画質の点で高品質、高コントラストの望めるアクティブマトリクス型液晶表示装置等の電気光学的装置、とりわけその中でも各画素ごとに画素選択トランジスタとしてTFTを配した構造のものは、近年実用化が多く進められその優位性が実証されてきている。

第1図は、アクティブマトリクス型液晶表示装置の回路図で、データ信号を供給するための列電

## 特開昭63-74034(2)

臨ライン群6とアドレス信号を供給するための行電極ライン群1がマトリクス状に交差配置されており、その交差部にそれぞれ画素選択用のTFT3が作り込まれている。前記のごとくライン及び画素電極の作り込まれた基板と、コモン電極を一面に配した対向基板とを挟持し、その間に液晶4を封止した構造によりなっている。通常画素に印加される電圧がTFT3や液晶4を介してのリークにより低下するのを防止するため補助コンデンサ5が内蔵されているのが一般的である。任意のデータ信号供給ライン2から供給されたデータ信号は時分割されたアドレス信号に同期して任意の画素に書き込まれる。

次にTFTの構造断面図を第4図に示す。基板上に設けられたゲート領域6を選択的に形成した後ゲート絶縁膜9、10とチャンネル領域11及びソース電極8、ドレイン電極7を連続形成し任意の形状にパターニングした後、画素電極12を形成しチャンネル分離を連続して行うことにより作成される。

膜10には有効に印加されない現象が起こりうる。この現象が充分な回復作用を妨げ、結果劣化を致すことができない恐れがあった。

(問題点を解決するための手段)

本発明は、前述の問題点を解決するために、正方向のしきい値電圧に対し絶対値として充分大きな負方向のしきい値電圧を有する両極性のTFTを画素選択トランジスタに用いることにより、負電圧印加時においてもON状態を保ち画素電位がドレイン電極電位に固定される様にした。

(作用)

画素電位(ソース電位)とドレイン電位を同電位に固定することによって、ソース電極直下のゲート絶縁膜10とドレイン電極直下のゲート絶縁膜9に均等に回復のためのバイアス電圧を印加することが可能で、有効な回復作用が期待できる。

(実施例)

以下にこの発明の実施例を図面に基づいて説明する。第1図は本発明における画素TFTのドレイン電流 $I_d$ 、ゲート電圧 $V_g$ の関係曲線で第2

しかしながら、画素チャンネル領域11及びゲート絶縁膜9、10は、システムとしての大型化、低コスト化を考えると低温形成法による作成が前提となり、事実プラズマCVD法による非晶質シリコン及び非晶質絶縁膜を用いるのが一般的となっているため、膜中のトラップなどの影響や画素アドレス信号電圧が起因してデバイスの特性変化が観察される。この特性変化は通常動作時において能力劣化の方向に進むため信頼性に大きく影響し、画素劣化や画面ムラとして認められる。

(発明が解決しようとする問題点)

前記のごとく劣化したデバイスを回復させ画素劣化を解消するため、非動作時において劣化に起因するアドレス信号電圧と逆の電圧をゲートに印加する方法が提案されているが、通常画素選択トランジスタはゲートに負極電圧を加えた場合オフ状態となり画素電位がフローティングとなってしまい、回復用に加えたバイアス電圧がドレイン電極直下のゲート絶縁膜9には有効に印加されるがソース電極(画素領域と接続)直下のゲート絶縁

膜は従来の画素TFTのそれを要す。本発明における画素TFTにおいては通常の正方向のしきい値電圧(ドレイン電流 $I_d$ が急激に増加しはじめるゲート電圧 $V_g$ でこの場合1~5V程度が認められている)と比較して絶対値の充分大きな負方向でのしきい値(この場合例えば-10V以下)を有する両極性トランジスタであることを特徴としており、非動作時にデバイスの劣化回復を目的とした負電圧印加時にTFTをON状態に保つことができ、前述のごとく有効な回復効果が期待できる。また通常動作時においては、ゲート電圧 $V_g$ が0~-10Vの広い範囲にわたり充分なOFF状態を維持しているため、何ら影響は与えず有効な動作が約束されている。かつこの様なアンバランスなしきい値を有するTFTの作成においては、ソース電極及びドレイン電極の形成時にコンタクト領域に挟み込む不純物添加された薄膜層の作成条件(不純物添加量、膜厚など)を変化させるだけで容易に制御することができ、工程の追加などコストアップになる要因は認められない。

## 特開昭63-74034 (3)

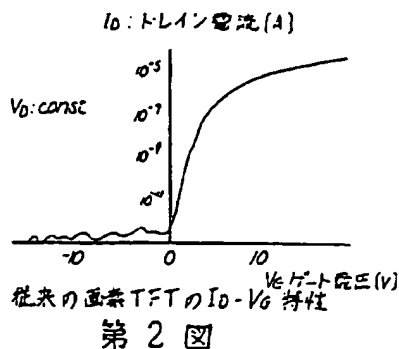
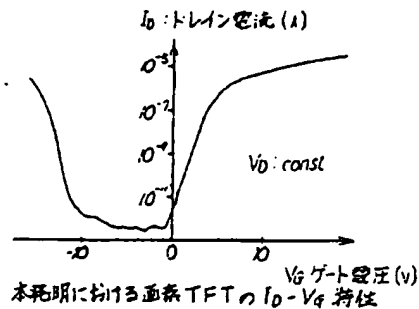
## (発明の効果)

この発明は以上説明したように、画素選択トランジスタに両極性のTFTを用い、負電圧をゲートに印加した際、画素電位がドレイン電位に固定される俾考慮することによって、劣化したデバイスを非動作時に有効に回復させることが可能で、トータルに見て信頼性の高い電気光学的装置を提供することができる。

## 4. 図面の簡単な説明

第1図は本発明における画素TFTの $I_D-V_G$ 特性を表し、第2図は従来の画素TFTの $I_D-V_G$ 特性を表し、第3図はアクティブマトリクス型電気光学的装置の回路図を、第4図はTFTの構造断面図を表す。

- 1・・・アドレスライン群
- 2・・・データライン群
- 3・・・TFT
- 4・・・液晶層



- 5・・・補助コンデンサ
- 6・・・ゲート領域
- 7・・・ドレイン領域
- 8・・・ソース領域
- 9, 10・・・ゲート絶縁膜
- 11・・・チャンネル領域
- 12・・・画素電極

以上

出願人 セイコー電子工業株式会社

代理人 弁理士 森上 務 (他1名)

